

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-101554

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

H04L 7/033  
H03L 7/06

(21)Application number : 10-266212

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 21.09.1998

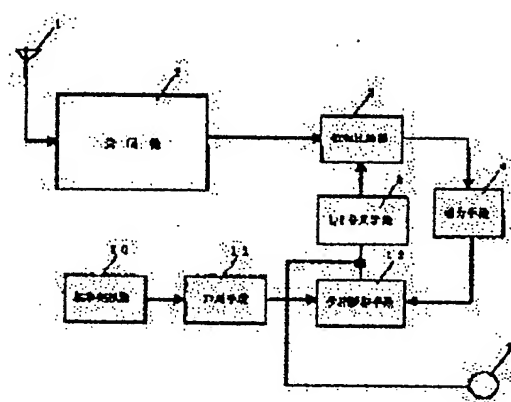
(72)Inventor : HORIIKE YOSHIO  
YOSHIKAWA YOSHISHIGE

## (54) SAMPLING CLOCK REPRODUCING CIRCUIT

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a sampling clock reproducing circuit in simple constitution for being easily made into an IC and reducing jitters.

SOLUTION: This circuit is constituted of a receiver 2 for receiving and demodulating signals modulated by data, a reference oscillator 10 for oscillating near the frequency of the integral multiple of the modulation speed of reception signals, a frequency division means 11 for frequency-dividing the output of the reference oscillator 10, a phase shift means 12 for shifting the phase of the output of the frequency division means 11 and outputting a reference clock, a phase comparator 3 for comparing the phases of the demodulation output of the receiver 2 and the reference clock of the phase shift means 12 and generating the output corresponding to a phase difference and an integration means 4 for integrating the output of the phase comparator 3 and controlling the ratio of phase shift in the phase shift means 12. The clock which is the double of the reference clock from the phase shift means 12 is turned to a sampling clock for data discrimination.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-101554  
(P2000-101554A)

(43) 公開日 平成12年4月7日 (2000. 4. 7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
H 0 4 L 7/033		H 0 4 L 7/02	B 5 J 1 0 6
H 0 3 L 7/06		H 0 3 L 7/06	J 5 K 0 4 7

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願平10-266212

(22) 出願日 平成10年9月21日 (1998. 9. 21)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 堀池 良雄

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 ▲よし▼川 嘉茂

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

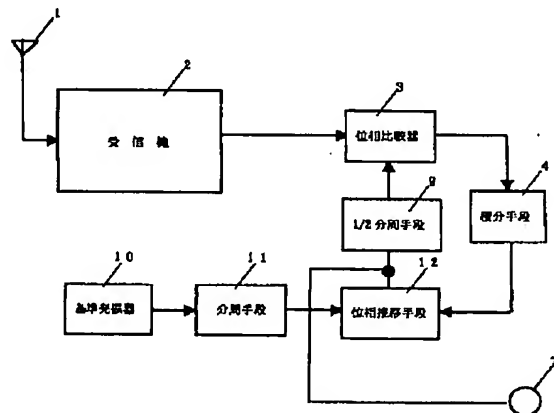
最終頁に続く

(54) 【発明の名称】 サンプリングクロック再生回路

(57) 【要約】

【課題】 簡単な構成でIC化し易く、かつジッターの少ないサンプリングクロック再生回路を実現すること。

【解決手段】 データで変調された信号を受信し復調する受信機2と、受信信号の変調速度の整数倍の周波数付近で発振する基準発振器10と、基準発振器10の出力を分周する分周手段11と、分周手段11の出力の位相を推移させ基準クロックを出力する位相推移手段12と、受信機2の復調出力と位相推移手段12の基準クロックとの位相を比較し位相差に応じた出力を発生する位相比較器3と、位相比較器3の出力を積分し位相推移手段12での位相推移の割合を制御する積分手段4とで構成され、前記位相推移手段12からの基準クロックの2倍のクロックをデータ判別のためのサンプリングクロックとしている。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】データで変調された信号を受信し復調する受信機と、受信信号の変調速度の整数倍の周波数付近で発振する基準発振器と、前記基準発振器の出力を分周する分周手段と、前記分周手段の出力の位相を推移させ基準クロックを出力する位相推移手段と、前記受信機の復調出力と前記位相推移手段の基準クロックとの位相を比較し位相差に応じた出力を発生する位相比較器と、前記位相比較器の出力を積分し前記位相推移手段での位相推移の割合を制御する積分手段とで構成され、前記位相推移手段からの基準クロックの2倍のクロックをデータ判別のためのサンプリングクロックとしたサンプリングクロック再生回路。

【請求項2】データで変調された信号を受信し復調する受信機と、前記受信機の復調出力を波形整形し矩形波信号に変換する波形整形手段と、受信信号の変調速度の整数倍の周波数付近で発振する基準発振器と、前記基準発振器の出力を分周する分周手段と、前記分周手段の出力の位相を推移させ基準クロックを出力する位相推移手段と、前記波形整形手段の出力と前記位相推移手段の基準クロックとの排他的論理和演算を行う排他的論理和手段と、前記排他的論理和手段の出力を積分し前記位相推移手段での位相推移の割合を制御する積分手段とで構成され、前記位相推移手段からの基準クロックの2倍のクロックをデータ判別のためのサンプリングクロックとしたサンプリングクロック再生回路。

【請求項3】データで変調された信号を受信し復調する受信機と、前記受信機の復調出力を波形整形し矩形波信号に変換する波形整形手段と、受信信号の変調速度の整数倍の周波数付近で発振する基準発振器と、前記基準発振器の出力を分周する分周手段と、前記分周手段の出力の位相を推移させ基準クロックを出力する位相推移手段と、前記波形整形手段の出力と前記位相推移手段の基準クロックとの排他的論理和演算を行う排他的論理和手段と、前記排他的論理和手段の出力を積分する積分手段と、前記積分手段の出力が所定レベル以上の時出力を生じる第一のコンパレータと、前記積分手段の出力が前記第一のコンパレータの閾値より所定レベル低いレベル以下の時出力を生じる第二のコンパレータと、前記第一のコンパレータの出力と前記第二のコンパレータの出力を入力とし前記第一のコンパレータから出力がある場合は前記基準クロックの位相を所定方向に推移させるよう位相推移手段を制御し前記第二のコンパレータから出力がある場合は前記基準クロックの位相を前記所定方向と逆方向に推移させるよう位相推移手段を制御する制御手段とで構成され、前記位相推移手段からの基準クロックの2倍のクロックをデータ判別のためのサンプリングクロックとしたサンプリングクロック再生回路。

【請求項4】波形整形手段は、データ信号を取り出すための波形整形手段とは別に設けられ、変調速度で決まる

周波数を取り出す狭帯域フィルタを介して受信機の復調出力を波形整形するよう構成された請求項2又は3記載のサンプリングクロック再生回路。

【請求項5】位相推移手段は、分周手段の分周の起点を変えることにより基準クロックの位相推移を行うよう分周手段の中に組み込まれた構成の請求項2、3又は4記載のサンプリングクロック再生回路。

【請求項6】積分手段は、排他的論理和手段の出力がハイレベルの時間とローレベルの時間を基準クロックの整数倍の時間にわたってそれぞれ計測し前記ハイレベルの時間とローレベルの時間の差を出力するよう構成された請求項2～5のいずれか1項記載のサンプリングクロック再生回路。

【請求項7】サンプリングクロックがまだ再生されていない場合は積分手段の積分時間を短くし、サンプリングクロックが再生された後は積分手段の積分時間を長くするよう制御した構成の請求項1～6のいずれか1項記載のサンプリングクロック再生回路。

【請求項8】制御手段は、間欠的に位相推移手段を制御する制御信号を出力し前記間欠的に動作する時間間隔をサンプリングクロックがまだ再生されていない場合は短くし、サンプリングクロックが再生された後は長くするよう構成された請求項3～7のいずれか1項記載のサンプリングクロック再生回路。

【請求項9】制御手段は、間欠的に位相推移手段を制御する制御信号を出力し間欠動作当たり基準クロックの位相変化を制御する制御量を積分手段の出力レベルに応じて変化させるよう構成された請求項3～8のいずれか1項記載のサンプリングクロック再生回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、データ通信においてデータの"1"、"0"を判別するためのサンプリングクロック再生回路に関し、特にマイコン処理の負担を軽くし、かつジッターの少ないサンプリングクロック再生回路に関する。

## 【0002】

【従来の技術】無線を用いたデータ通信において、受信信号から"1"か"0"かを正確に判別するためにはアイ開口率のピークの時間に受信信号をサンプリングする必要がある。そのために受信信号に同期したサンプリングクロックを再生する必要がある。図6に従来のサンプリングクロック再生回路の構成を示す。図6において、1はアンテナ、2は受信機、3は位相比較器、4は積分手段、5は電圧制御発振器、6は分周手段、7はサンプリングクロック出力端子、9は1/2分周手段である。受信機2により復調されたデータ信号は位相比較器3で電圧制御発振器5の発振周波数を分周した基準クロックと位相が比較され位相差に相当する出力が位相比較器の出力に生じる。前記出力は積分手段4で交流成分が取り除

かれ位相誤差を無くす方向に電圧制御発振器の発振周波数を制御する。すなわちPLL制御により受信信号に電圧制御発振器の発振周波数を同期させている。そして基準クロックの2倍のクロック出力である1/2分周手段の入力をサンプリングクロックとして取り出している。

#### 【0003】

【発明が解決しようとする課題】しかしながら上記従来のサンプリングクロック再生回路では、基準クロックの周波数と位相の両方を受信信号に同期させる必要があった。そのため同期するまでに時間がかかるという課題があった。また常にPLL制御をかけておかないとすぐに同期がはずれてしまうため、常時PLL制御が必要でありそのため受信データのデータパターンによりジッターが発生し基準クロックが振られるという課題があった。

【0004】別のサンプリングクロック再生方法として、受信データの変調速度の整数倍の発振周波数を有する水晶発振器の出力を分周してサンプリングクロックとして用いる方法も利用されている。この場合位相を同期させるために、受信信号中に含まれるビット同期信号を用いて立ち上がりエッジを検出し、マイコンのソフトウェア処理を用いて前記立ち上がりエッジを基準にサンプリングクロックを生成し、サンプリングクロックを生成した後は調歩同期方式でサンプリングしていく。この方法はジッターの発生はないが調歩同期であるため、サンプリングクロックを生成した後、時間と共にサンプリング位置が受信データのアイ開口率最大のポイントからずれていくという課題があった。またサンプリングクロックの生成にソフトウェア処理を用いるため、マイコンのソフトウェア処理能力に高速の処理が必要であり高価なマイコンが必要であった。

#### 【0005】

【課題を解決するための手段】本発明は上記課題を解決するために、データで変調された信号を受信し復調する受信機と、基準発振器と、前記基準発振器の出力を分周する分周手段と、前記分周手段の出力の位相を推移させ基準クロックを出力する位相推移手段と、前記受信機の復調出力と前記位相推移手段の基準クロックとの位相を比較し位相差に応じた出力を発生する位相比較器と、前記位相比較器の出力を積分し前記位相推移手段での位相推移の割合を制御する積分手段とで構成され、前記位相推移手段からの基準クロックの2倍のクロックをデータ判別のためのサンプリングクロックとしたものである。そして基準発振器の発振周波数を制御するのではなく受信信号の変調速度の整数倍の周波数付近で発振する基準発振器の出力を分周して分周出力の位相を推移させるようにしているため、同期に必要な時間が短くかつジッターの少ないサンプリングクロック再生回路を提供できる。

#### 【0006】

【発明の実施の形態】本発明は、データで変調された信号を受信し復調する受信機と、受信信号の変調速度の整

数倍の周波数付近で発振する基準発振器と、前記基準発振器の出力を分周する分周手段と、前記分周手段の出力の位相を推移させ基準クロックを出力する位相推移手段と、前記受信機の復調出力と前記位相推移手段の基準クロックとの位相を比較し位相差に応じた出力を発生する位相比較器と、前記位相比較器の出力を積分し前記位相推移手段での位相推移の割合を制御する積分手段とで構成され、前記位相推移手段からの基準クロックの2倍のクロックをデータ判別のためのサンプリングクロックとしている。そして、基準発振器の発振周波数を制御するのではなく受信信号の変調速度の整数倍の周波数付近で発振する基準発振器の出力を分周して分周出力の位相を推移させるようにしているため、同期に必要な時間が短くかつジッターの少ないサンプリングクロック再生回路を提供できる。

【0007】また、データで変調された信号を受信し復調する受信機と、前記受信機の復調出力を波形整形し矩形波信号に変換する波形整形手段と、受信信号の変調速度の整数倍の周波数付近で発振する基準発振器と、前記基準発振器の出力を分周する分周手段と、前記分周手段の出力の位相を推移させ基準クロックを出力する位相推移手段と、前記波形整形手段の出力と前記位相推移手段の基準クロックとの排他的論理和演算を行う排他的論理和手段と、前記排他的論理和手段の出力を積分し前記位相推移手段での位相推移の割合を制御する積分手段とで構成され、前記位相推移手段からの基準クロックの2倍のクロックをデータ判別のためのサンプリングクロックとしている。そして、波形整形手段により矩形波信号に変換した後、論理素子を用いて回路を構成しているため、回路構成が簡単になりC-MOSを用いてIC化しやすい構成である。

【0008】また、データで変調された信号を受信し復調する受信機と、前記受信機の復調出力を波形整形し矩形波信号に変換する波形整形手段と、受信信号の変調速度の整数倍の周波数付近で発振する基準発振器と、前記基準発振器の出力を分周する分周手段と、前記分周手段の出力の位相を推移させ基準クロックを出力する位相推移手段と、前記波形整形手段の出力と前記位相推移手段の基準クロックとの排他的論理和演算を行う排他的論理和手段と、前記排他的論理和手段の出力を積分する積分手段と、前記積分手段の出力が所定レベル以上の時出力を生じる第一のコンパレータと、前記積分手段の出力が前記第一のコンパレータの閾値より所定レベル低いレベル以下の時出力を生じる第二のコンパレータと、前記第一のコンパレータの出力と前記第二のコンパレータの出力を入力とし前記第一のコンパレータから出力がある場合は前記基準クロックの位相を所定方向に推移させるよう位相推移手段を制御し前記第二のコンパレータから出力がある場合は前記基準クロックの位相を前記所定方向と逆方向に推移させるよう位相推移手段を制御する制御

手段として構成され、前記位相推移手段からの基準クロックの2倍のクロックをデータ判別のためのサンプリングクロックとしている。そのため、よりジッターが少なくかつより制御が簡単になり、IC化し易いこととなる。

【0009】また、波形整形手段は、データ信号を取り出すための波形整形手段とは別に設けられ、変調速度で決まる周波数を取り出す狭帯域フィルタを介して受信機の復調出力を波形整形するよう構成されている。そして、狭帯域フィルタを介して波形整形しているため、受信信号のデータパターンや雑音の影響を除去でき、ジッターのないサンプリングクロックを再生できる。

【0010】また、位相推移手段は、分周手段の分周の起点を変えることにより基準クロックの位相推移を行うよう分周手段の中に組み込まれた構成である。そして、分周の起点を変えることはデジタル処理で簡単に行うことができ、回路構成を簡潔にできる。

【0011】また、積分手段は、排他的論理和手段の出力がハイレベルの時間とローレベルの時間を基準クロックの整数倍の時間にわたってそれぞれ計測し前記ハイレベルの時間とローレベルの時間の差を出力するよう構成されている。そのため、時間をカウントするためのタイマーとソフトウェア処理で積分手段を構成でき、回路構成を簡潔にできる。

【0012】また、サンプリングクロックがいまだ再生されていない場合は積分手段の積分時間を短くし、サンプリングクロックが再生された後は積分手段の積分時間を長くするよう制御した構成である。そのため、受信信号のデータパターンの影響を除去でき、ジッターのないサンプリングクロックを再生できる。

【0013】また、制御手段は、間欠的に位相推移手段を制御する制御信号を出力し前記間欠的に動作する時間間隔をサンプリングクロックがいまだ再生されていない場合は短くし、サンプリングクロックが再生された後は長くするよう構成されている。そのため、サンプリングクロックを再生した後は、位相を補正する周期が長くなるためソフトウェア処理での補正がやり易くなる。

【0014】また、制御手段は、間欠的に位相推移手段を制御する制御信号を出力し間欠動作当たり基準クロックの位相変化を制御する制御量を積分手段の出力レベルに応じて変化させるように構成されている。そのため、位相ずれが大きい場合には位相制御量も大きくなるため短時間に同期を取ることができサンプリングクロック再生時間を短くできる。

【0015】

【実施例】以下本発明の実施例を図面を用いて説明する。

【0016】（実施例1）図1は本発明の実施例1のサンプリングクロック再生回路のブロック図である。図1において、1はアンテナ、2は受信機、3は位相比較器、4は積分手段、7はサンプリングクロック出力端

子、9は1/2分周手段、10は基準発振器、11は分周手段、12は位相推移手段である。受信機2により復調されたデータ信号は位相比較器3で受信信号の変調速度の整数倍の周波数付近で発振する基準発振器10の発振周波数を分周した基準クロックと位相が比較され位相差に相当する出力が位相比較器3の出力に生じる。前記出力は積分手段4で交流成分が取り除かれ位相誤差を無くす方向に位相推移手段12を制御し、基準クロックの位相を調整する。そして基準クロックの2倍のクロック出力である1/2分周手段の入力をサンプリングクロックとして取り出している。基準発振器10は水晶発振子を用いた構成であり、その発振周波数は水晶精度で受信信号の整数倍の周波数と一致する。そして変調速度で決まる周波数と基準クロック周波数が等しくなるように分周手段11の分周値を設定している。

【0017】よって、位相推移手段12で一度位相を調整すれば、水晶精度で周波数があるため長時間にわたって位相がずれることはない。すなわち常時増幅手段18からの信号で位相推移手段12を制御するようにしてもよいが、ビット同期信号を受信した時のみ位相推移手段12を制御し、位相を受信信号に同期させた後はオープンループとして調歩同期に切り替えることができる。そして調歩同期に切り替えることによりジッターの発生を防ぐことができる。また調歩同期に切り替える代りに積分手段4の積分時間を切替え、積分時間を長くすることによりジッターの発生を防ぎかつ非常に長いデータ受信であってもクロックのずれを防止することができる。また、周波数の調整は不要のため、同期に要する時間を短縮できる。

【0018】（実施例2）図2は本発明の実施例2のサンプリングクロック再生回路のブロック図である。

【0019】図2において図1と同じ機能ブロックには同じ番号を付与している。本実施例は図1に示す実施例1をより具体的構成で示したものである。1はアンテナ、2は受信機、13はローパスフィルタ、14は波形整形手段、15は排他的論理和手段、16は抵抗、17はコンデンサであり、抵抗16とコンデンサ17で積分手段を構成している。18は増幅手段、7はサンプリングクロック出力端子、9は1/2分周手段、10は基準発振器、11は分周手段、12は位相推移手段、19は受信データ出力端子である。受信機2により復調された信号はローパスフィルタ13により帯域外の雑音が除去され、波形整形手段14により矩形波信号に波形整形される。排他的論理和手段15が図1における位相比較器3に相当する。排他的論理和手段15から生じる位相誤差信号は抵抗16とコンデンサ17で構成される積分手段により交流成分が除去された後、増幅手段18で増幅されて位相推移手段12を制御し、基準クロックと波形整形手段14からの矩形波信号が直交するよう基準クロックの位相を調整する。上記説明以外の動作については

実施例1と同じ動作である。本実施例は波形整形手段14により受信信号を矩形波信号に変換した後、論理素子を用いて構成しているため、CMOSを用いて主要な回路部分を構成できるのでIC化しやすいという利点がある。

【0020】(実施例3)図3は本発明の実施例3のサンプリングクロック再生回路のブロック図である。

【0021】図3において図1あるいは図2と同じ機能ブロックには同じ番号を付与している。図2と異なる点は、増幅手段4の代りに第一のコンパレータ20と第二のコンパレータ21及び制御手段22を用い、位相調整手段12を分周手段23の中に取り入れていることである。図2に示す実施例2と異なる部分について以下説明する。排他的論理和手段15に入力する二つの信号が直交している時、同期が取れている。この同期が取れている状態においては抵抗16とコンデンサ17で構成される積分手段の出力には排他的論理和手段15の出力パルスの波高値の1/2のレベルの電圧V1が生じる。第一のコンパレータ20の閾値はこの電圧V1より $\Delta V$ だけ高い電圧( $V1 + \Delta V$ )に設定されている。

【0022】そして前記閾値より高い電圧が第一のコンパレータ20の入力に生じた場合に出力を発生するよう第一のコンパレータ20は構成されている。一方第二のコンパレータ21の閾値は電圧V1より $\Delta V$ だけ低い電圧( $V1 - \Delta V$ )に設定されている。そして前記閾値より低い電圧が第二のコンパレータ21の入力に生じた場合に出力を発生するよう第二のコンパレータ21は構成されている。そして制御手段22において第一のコンパレータ20から出力がある場合は基準クロックの位相を遅らせ、第二のコンパレータ21から出力がある場合は基準クロックの位相を早めるよう分周手段23を制御する。第一のコンパレータ20及び第二のコンパレータ21の両方とも出力がない場合は、基準クロックと受信信号の位相が同期しているものとみなし制御手段22は分周手段23に対して何もしない。分周手段23は基準発振器10の発振周波数を分周して基準クロックを作成する。

【0023】そして制御手段22からの信号により分周手段23はリセット再スタートされ、分周動作を開始するタイミングをずらされる。

【0024】すなわち位相を遅らせる場合は分周動作の開始タイミングを遅らせ、位相を早める場合は分周動作の開始タイミングを早めるよう制御手段22は分周手段23のリセット再スタートタイミングを制御する。また、位相制御の他の構成方法として位相を遅らせたい場合は分周手段23の分周数を大きくし位相同期がとれた時点で分周数を元に戻してやり、位相を早めたい場合は分周手段23の分周数を小さくし位相同期がとれた時点で分周数を元に戻してやるように分周手段23を構成することもできる。制御手段22は連続的に分周手段23

を制御しても良いが、間欠的に分周手段23を制御しても良い。

【0025】例えば、抵抗16及びコンデンサ17の値により決まる積分時間に応じた時間間隔で分周手段23を制御する。そしてビット同期信号を受信した時のみ分周手段23を制御し、位相を受信信号に同期させた後はオープンループとして調歩同期に切り替えることができる。そして調歩同期に切り替えることによりジッターの発生を防ぐことができる。また調歩同期に切り替える代りに積分手段のコンデンサ17を大きくして、積分時間を長くし分周手段23を制御する時間間隔も長くすることによりジッターの発生を防ぐことができる。

【0026】また、1制御当たりの基準クロックの位相の変化量は排他的論理和手段15の出力電圧変化量に換算して $\Delta V$ の2倍以下に選ばれている。第一のコンパレータ20及び第二のコンパレータ21をにより積分手段の出力レベルを3段階に分けたがコンパレータを増やしたりA/D変換手段を用いてもっと多くのレベルに分割し制御手段22において入力レベルに応じて1制御当たりの基準クロックの位相変化量を変化させるようにすればサンプリングクロックを再生する時間をもっと短縮できる。すなわち積分手段に出力するレベルがV1より非常に大きい場合或いは小さい場合は制御する位相変化量を大きくし、V1に近い値の場合は制御する位相変化量を小さくするよう制御手段22は分周手段23を制御する。

【0027】(実施例4)図4は本発明の実施例4のサンプリングクロック再生回路のブロック図である。図4において図3と同じ機能ブロックには同じ番号を付与している。図3と異なる点は、抵抗16及びコンデンサ17から構成される積分手段をカウンタ24で構成していること、及び第一のコンパレータ20と第二のコンパレータ21の機能をカウンタ24に持たせていることである。カウンタ24では所定時間 $T_a$ の間、排他的論理和手段15からの出力のハイレベルの累積時間 $T_1$ とローレベルの累積時間 $T_2$ をそれぞれ測定する。そして $T_3 = (T_1 - T_2)$ の演算を行い、 $T_3$ の絶対値が $\Delta T$ より大きい場合は同期がずれていると判断しカウンタ24は制御手段22に $\Delta T$ より大きくかつ $T_3$ が正又は負の値である旨の情報を出力する。 $T_3$ の絶対値が $\Delta T$ より小さい場合は同期が取れていると判断しカウンタ24は制御手段22になにも出力しない。制御手段22においてカウンタ24から正の出力がある場合は基準クロックの位相を遅らせ、負の出力がある場合は基準クロックの位相を早めるよう分周手段23を制御する。カウンタ24から出力がない場合は、基準クロックと受信信号の位相が同期しているものとみなし制御手段22は分周手段23に対して何もしない。その他の動作については実施例3と全く同じである。

【0028】(実施例5)図5は本発明の実施例5のサ

ンプリングクロック再生回路のブロック図である。

【0029】図5において図4と同じ機能ブロックには同じ番号を付与している。図4と異なる点は、受信データを出力するための波形整形手段14とは別にサンプリングクロック再生用に独立の波形整形手段26を有している点である。そして変調速度で決まる周波数付近の信号のみを通過させるために波形整形手段26の前段に狭帯域なバンドパスフィルタを挿入している。従って受信データのデータパターンや雑音の影響を除去できサンプリングクロック再生のためのビット同期信号を波形整形手段26から出力できる。

【0030】なおローパスフィルタ13とバンドパスフィルタ25では遅延時間が異なるため波形整形手段14の出力と波形整形手段26の出力の間で位相が前記遅延時間分ずれている。そのため、カウンタ24は前記遅延時間による位相誤差を補正する機能を内蔵している。すなわちカウンタ24では所定時間 $T_a$ の間、排他的論理和手段15からの出力のハイレベルの累積時間 $T_1$ とローレベルの累積時間 $T_2$ をそれぞれ測定する。そして $T_3 = (T_1 - T_2 + T_h)$ の演算を行い、 $T_3$ の絶対値が $\Delta T$ より大きい場合は同期がずれていると判断しカウンタ24は制御手段22に $\Delta T$ より大きくかつ $T_3$ が正又は負の値である旨の情報を出力する。 $T_3$ の絶対値が $\Delta T$ より小さい場合は同期が取れていると判断しカウンタ24は制御手段22になにも出力しない。

【0031】ここで $T_h$ がローパスフィルタ13とバンドパスフィルタ25の遅延時間差を補正するための補正值である。制御手段22においてカウンタ24から正の出力がある場合は基準クロックの位相を遅らせ、負の出力がある場合は基準クロックの位相を早めるよう分周手段23を制御する。カウンタ24から出力がない場合は、基準クロックと受信信号の位相が同期しているものとみなし制御手段22は分周手段23に対して何もしない。その他の動作については実施例4と全く同じである。

【0032】

【発明の効果】以上のように本発明によれば、データで変調された信号を受信し復調する受信機と、受信信号の変調速度の整数倍の周波数付近で発振する基準発振器と、前記基準発振器の出力を分周する分周手段と、前記分周手段の出力の位相を推移させ基準クロックを出力する位相推移手段と、前記受信機の復調出力と前記位相推移手段の基準クロックとの位相を比較し位相差に応じた出力を発生する位相比較器と、前記位相比較器の出力を積分し前記位相推移手段での位相推移の割合を制御する積分手段とで構成され、前記位相推移手段からの基準クロックの2倍のクロックをデータ判別のためのサンプリングクロックとしているため、同期に必要な時間が短くかつジッターの少ないサンプリングクロック再生回路を提供できるまた、データで変調された信号を受信し復調

する受信機と、前記受信機の復調出力を波形整形し矩形波信号に変換する波形整形手段と、受信信号の変調速度の整数倍の周波数付近で発振する基準発振器と、前記基準発振器の出力を分周する分周手段と、前記分周手段の出力の位相を推移させ基準クロックを出力する位相推移手段と、前記波形整形手段の出力と前記位相推移手段の基準クロックとの排他的論理和演算を行う排他的論理和手段と、前記排他的論理和手段の出力を積分し前記位相推移手段での位相推移の割合を制御する積分手段とで構成され、前記位相推移手段からの基準クロックの2倍のクロックをデータ判別のためのサンプリングクロックとしているため、論理素子で回路を構成でき、CMOSを用いてIC化することが容易にできる。

【0033】さらに、データで変調された信号を受信し復調する受信機と、前記受信機の復調出力を波形整形し矩形波信号に変換する波形整形手段と、受信信号の変調速度の整数倍の周波数付近で発振する基準発振器と、前記基準発振器の出力を分周する分周手段と、前記分周手段の出力の位相を推移させ基準クロックを出力する位相推移手段と、前記波形整形手段の出力と前記位相推移手段の基準クロックとの排他的論理和演算を行う排他的論理和手段と、前記排他的論理和手段の出力を積分する積分手段と、前記積分手段の出力が所定レベル以上の時出力を生じる第一のコンパレータと、前記積分手段の出力が前記第一のコンパレータの閾値より所定レベル低いレベル以下の時出力を生じる第二のコンパレータと、前記第一のコンパレータの出力と前記第二のコンパレータの出力を入力とし前記第一のコンパレータから出力がある場合は前記基準クロックの位相を所定方向に推移させるよう位相推移手段を制御し前記第二のコンパレータから出力がある場合は前記基準クロックの位相を前記所定方向と逆方向に推移させるよう位相推移手段を制御する制御手段とで構成され、前記位相推移手段からの基準クロックの2倍のクロックをデータ判別のためのサンプリングクロックとしているため、よりジッターが少なくかつより制御が簡単になり、IC化し易いこととなる。

【0034】また、波形整形手段は、データ信号を取り出すための波形整形手段とは別に設けられ、変調速度で決まる周波数を取り出す狭帯域フィルタを介して受信機の復調出力を波形整形するよう構成されているので、受信信号のデータパターンや雑音の影響を除去でき、ジッターのないサンプリングクロックを再生できる。

【0035】また、位相推移手段は、分周手段の分周の起点を変えることにより基準クロックの位相推移を行うよう分周手段の中に組み込まれた構成であるため、回路構成を非常に簡潔にでき、CMOS IC化が容易にできる。

【0036】また、積分手段は、排他的論理和手段の出力がハイレベルの時間とローレベルの時間を基準クロックの整数倍の時間にわたってそれぞれ計測し前記ハイレ

ベルの時間とローレベルの時間の差を出力するよう構成されているため、時間をカウントするためのタイマーとソフトウェア処理で積分手段を構成でき、ますます回路構成を簡潔にでき、CMOS IC化に適した回路構成を提供できる。

【0037】また、サンプリングクロックがいまだ再生されていない場合は積分手段の積分時間を短くし、サンプリングクロックが再生された後は積分手段の積分時間を長くするよう制御した構成であるため、受信信号のデータパターンの影響を除去でき、ジッターのないサンプリングクロックを再生できる。

【0038】また、制御手段は、間欠的に位相推移手段を制御する制御信号を出力し前記間欠的に動作する時間間隔をサンプリングクロックがいまだ再生されていない場合は短くし、サンプリングクロックが再生された後は長くするよう構成されているため、サンプリングクロックを再生した後のソフトウェア処理での補正がやり易くなる。

【0039】また、制御手段は、間欠的に位相推移手段を制御する制御信号を出力し間欠動作当たり基準クロックの位相変化を制御する制御量を積分手段の出力レベルに応じて変化させるように構成されているため、位相ずれが大きい場合でも短時間に同期を取ることができサンプリングクロック再生時間を短くできる。

【0040】制御手段をマイコンのソフトウェア処理で行うこともでき、本発明はソフトウェア処理とハードウェア処理の最適な組合せを追求し易い構成である。

#### 【図面の簡単な説明】

【図1】本発明の実施例1のサンプリングクロック再生回路のブロック図

【図2】本発明の実施例2のサンプリングクロック再生回路のブロック図

【図3】本発明の実施例3のサンプリングクロック再生回路のブロック図

【図4】本発明の実施例4のサンプリングクロック再生回路のブロック図

【図5】本発明の実施例5のサンプリングクロック再生回路のブロック図

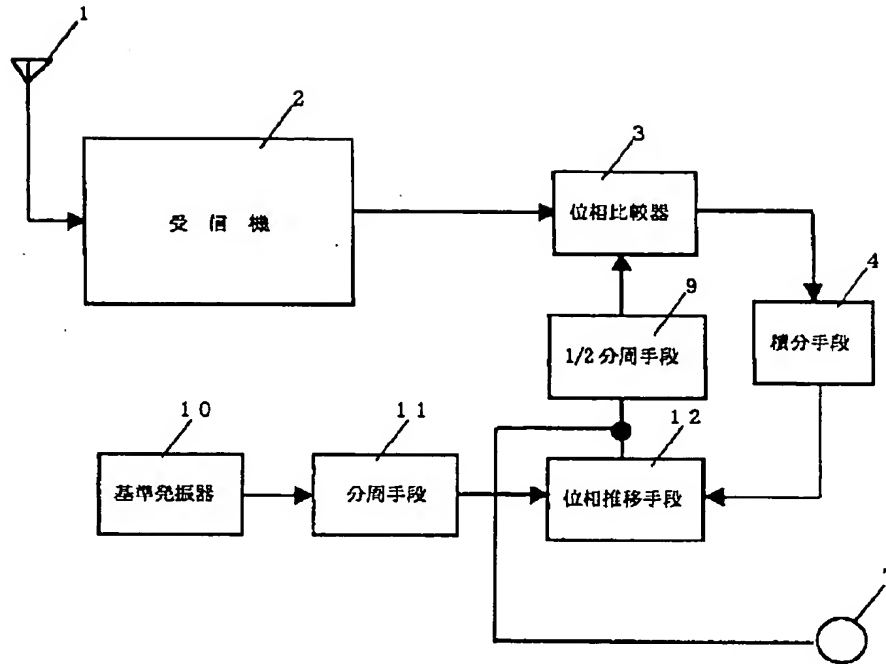
【図6】従来のサンプリングクロック再生回路のブロック図

#### 【符号の説明】

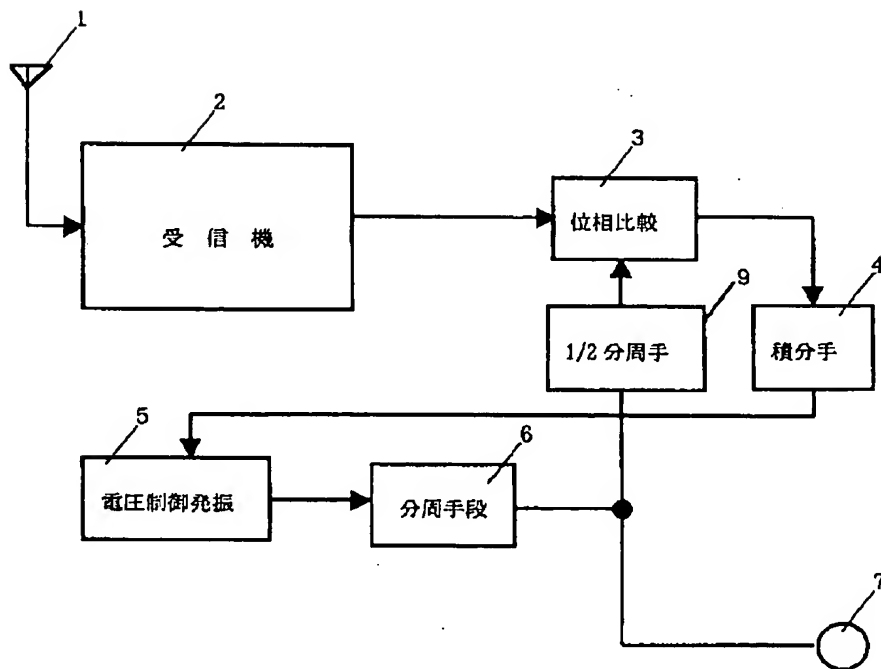
- 2 受信機
- 3 位相比較器
- 4 積分手段
- 10 基準発振器
- 11 分周手段
- 12 位相推移手段
- 14 波形整形手段
- 15 排他的論理和手段
- 20 第一のコンパレータ
- 21 第二のコンパレータ
- 22 制御手段
- 23 分周手段



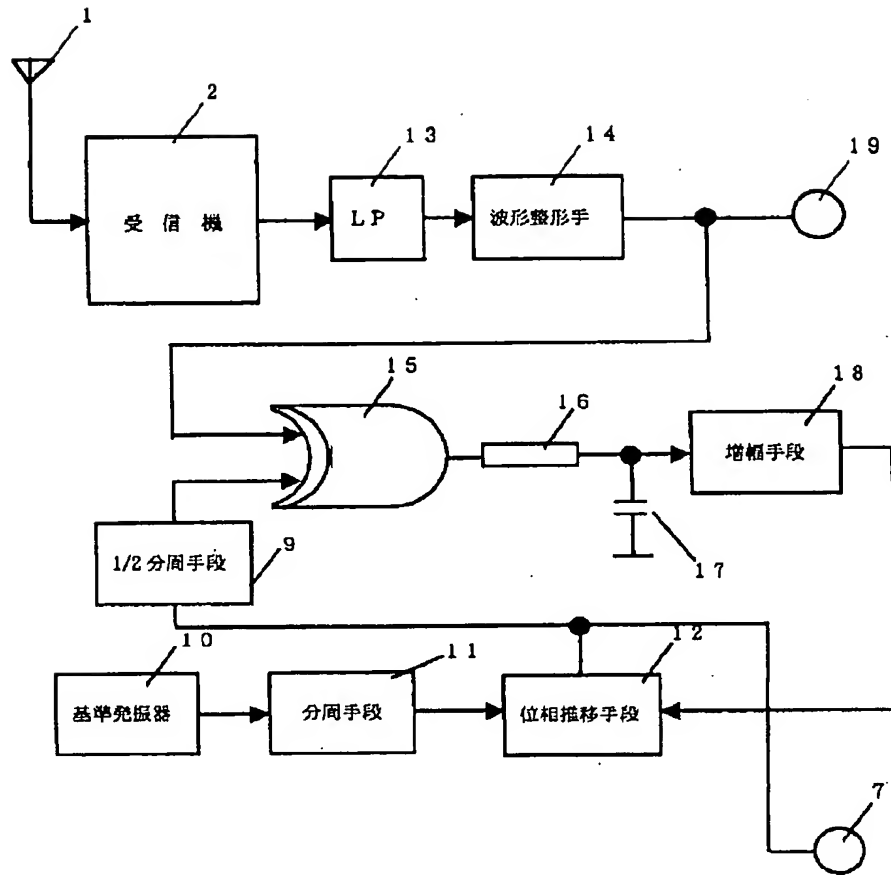
【図1】



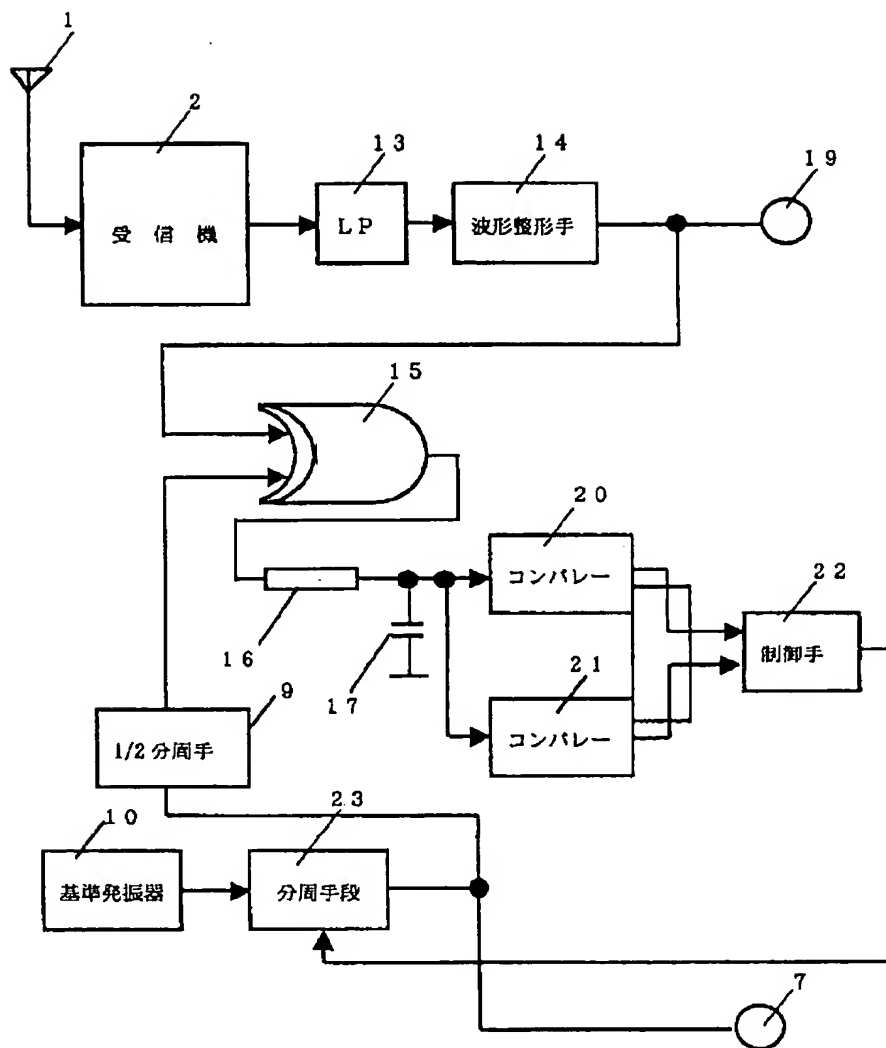
【図6】



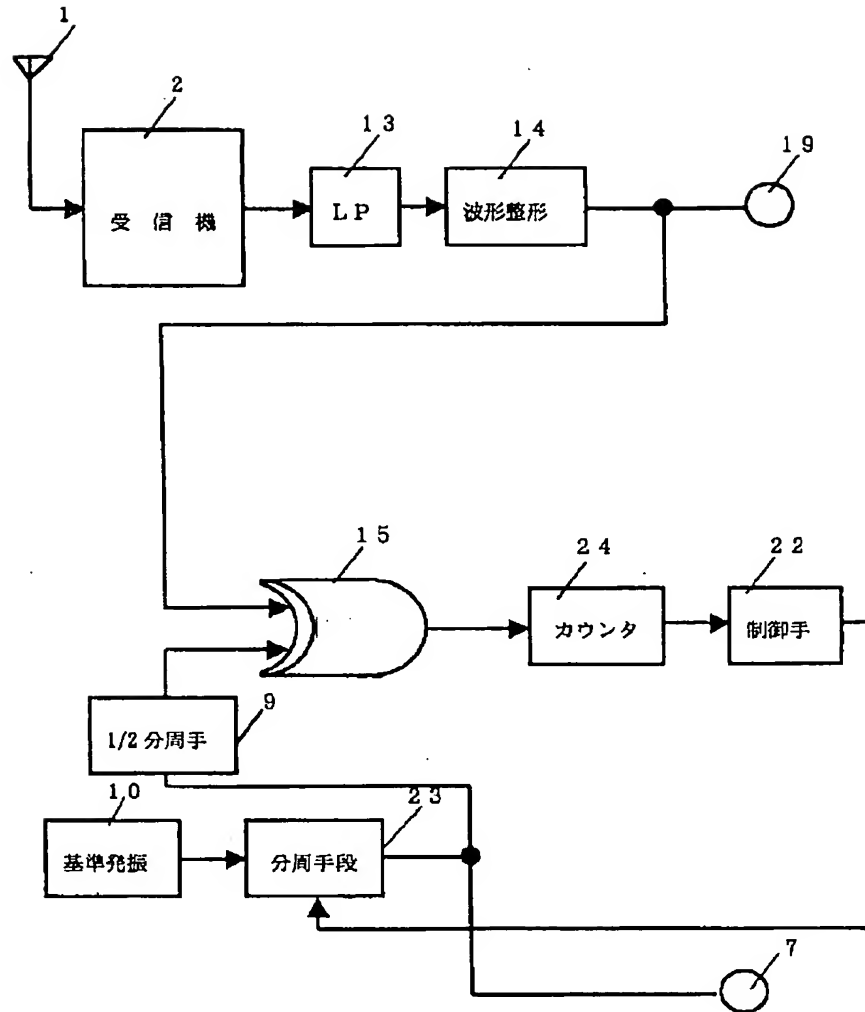
【図2】



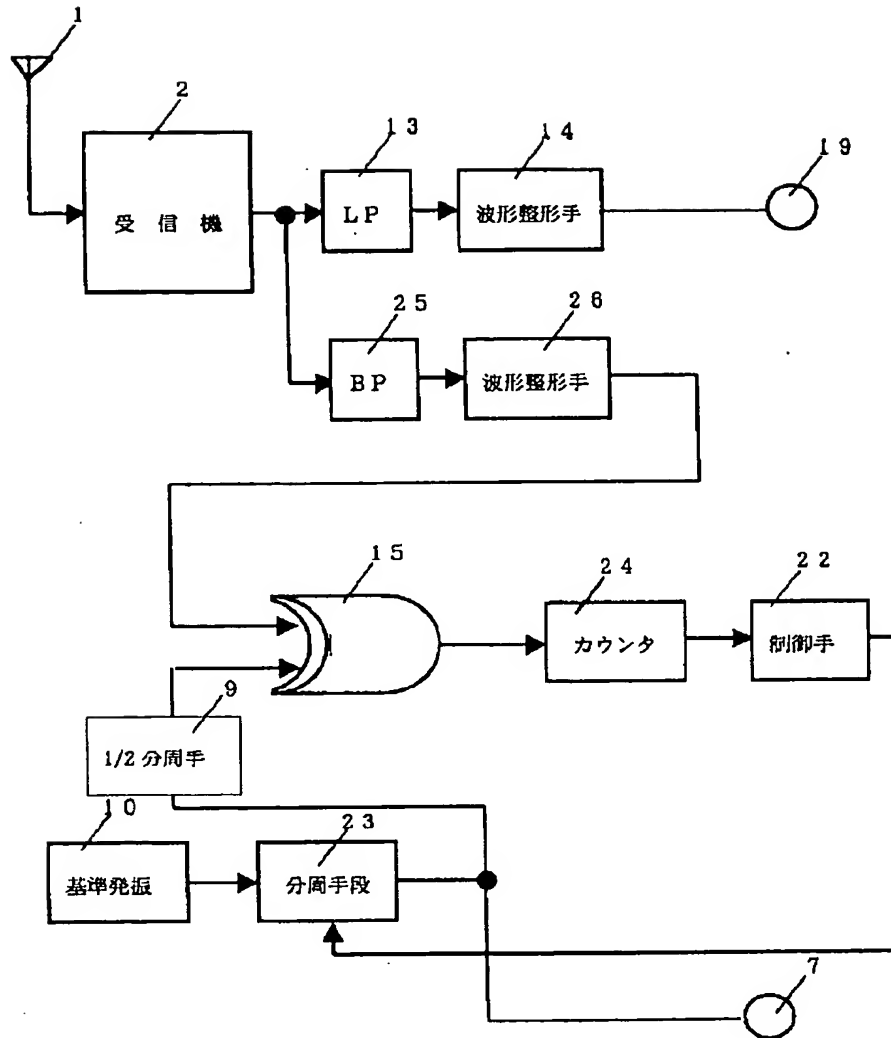
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 5J106 BB02 CC15 CC21 CC27 CC38  
CC39 CC52 CC59 DD02 DD05  
DD06 DD24 GG14 JJ07 KK25  
5K047 AA02 AA06 AA16 GG08 KK02  
MM11 MM35 MM38 MM43 MM49  
MM53 MM63